

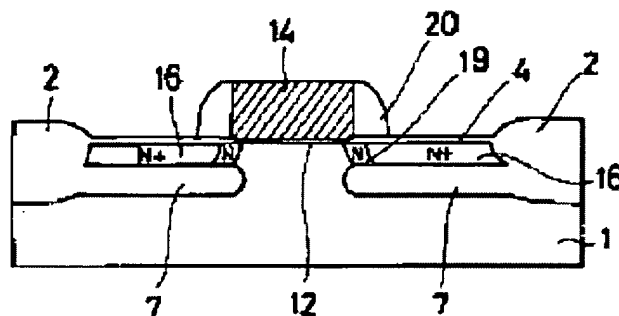
## MOS FIELD EFFECT TRANSISTOR

**Patent number:** JP5160396  
**Publication date:** 1993-06-25  
**Inventor:** ARUBERUTO OO ADAN  
**Applicant:** SHARP CORP  
**Classification:**  
- international: H01L29/784  
- european:  
**Application number:** JP19910323317 19911206  
**Priority number(s):**

### Abstract of JP5160396

**PURPOSE:** To provide MOS FETs capable of higher-density integration by making the width of a field oxide region (FOX) smaller and widening the width of an active region larger, by a simple method performable by the use of a conventional CMOS process.

**CONSTITUTION:** Regions of a source 16 and the drain 16' are self-aligned to the gate electrode 14, and held on an insulating oxide layer 7 by the layer 7 which is buried in a single-crystal silicon substrate 1 shallowly. And the bottom part of a channel region is connected to the silicon substrate.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-160396

(43) 公開日 平成5年(1993)6月25日

(51) Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/784		8225-4M	H 0 1 L 29/78	3 0 1 H

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号	特願平3-323317	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成3年(1991)12月6日	(72) 発明者	アルベルト オー アダン 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74) 代理人	弁理士 野河 信太郎

(54) 【発明の名称】 MOS形電界効果トランジスタ

(57) 【要約】 (修正有)

【目的】 従来のCMOSの製造工程を利用しうる簡単な方法で酸化物電界分離領域(FOX)の幅を小さくし能動領域の幅を拡大して、より高度な集積密度を可能にするMOSFETを提供する。

【構成】 ソース16とドレイン16'の領域が、ゲート電極14に自己整合し且つシリコン単結晶基板1中の浅い埋設位置にある酸化物絶縁層7により抱持されて、該酸化物絶縁層7の上にあり、チャネル領域は、その底部が前記シリコン基板に連続している構造を有するMOS形電界効果トランジスタ。

## 【特許請求の範囲】

【請求項1】 ソースとドレインの領域が、ゲート電極に自己整合し且つシリコン単結晶基板中の浅い埋設位置にある酸化物絶縁層により抱持されて、該酸化物絶縁層の上にあり、チャネル領域は、その底部が前記シリコン基板に連続している構造を有するMOS形電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体を用いるデバイス及びその製作方法に関し、特に集積回路に利用される金属酸化物半導体電界効果トランジスタ(MOSFET)の改良に関する。

## 【0002】

【従来の技術】 半導体を用いる大規模集積回路(LSI)の急速な発展と改良は、MOS型トランジスタの小型化によって達成されている。しかし従来のLSIでは、幾つかの制約、例えばチャネルの長さが1ミクロン以下の短さとなる為にトランジスタとしての働きが低下するという障害が現われている。更に、デバイスが小規模化されるに従って、基体の表面からより浅い位置にソース/ドレインを設けて接合すること及び隣接トランジスタ間を分離する酸化物電界分離領域(FIELD OXIDE ISOLATION、又はFOX)をより狭くつくるのが困難になって来た。

【0003】 上記の制約を或る程度解決する方法は、絶縁体上のシリコンにMOSを構成する方法であり、そうすれば能動性の素子は完全に分離層の上に形成されるのである。【通常、これを、酸化物上の電界形成、即ち、酸素イオンの注入(IMPLANTATION)により埋設位置に酸化物の層をつくるという方法-SIMOX-(酸素の注入による分離)を用い、その上にトランジスタを構成する方法と言われる】。これらの技術でつくられるMOSTランジスタには、チャネル領域にバイアスをかける為にもう1つの接点を設ける必要があるが、もしくはそれは浮揚状態に維持することもある。後者の場合には、トランジスタの特性は“浮揚体の効果”により低下する。

【0004】 図5(a)(b)は各々、バルク型のMOSFETとSOI形のMOSFETを例示する。ここで、VS、VG、VD、及びVBは、それぞれソース、ゲート、ドレイン及び基板或は基体にかかるバイアスの電位をいう。

## 【0005】

【発明が解決しようとする課題】 図5(a)に示すバルク型MOSFETにおける制約をまとめると、

\*浅いソース/ドレイン間のPN接合が、サブミクロンのデバイスでは要求されるので、寄生的な直列抵抗が増加し実効コンダクタンスを低下させる。

\*基体表面における高いドーパ濃度が、バンチスルーを

防止する為に要求されるので、ソース/ドレイン間のPN接合領域での寄生容量が増加し、トランジスタのスイッチング速度を低下させる。

\*ソース/ドレイン-基板間の広い面積が電荷の為に生起する $\alpha$ 粒子の蓄積を招くので、シングル・イベント・アップセット(single event upset)に対して影響を受け易くなり、ラジエーション・ハードネス(radiation hardness)を低下させる。

\*ラッチ・アップ現象が生じ易くなる。

【0006】 図5(b)に示すSOI型MOSFETにおける制約事項は、

\*埋設酸化物は、非常に高品質で均一な厚さを要求される。

\*浮揚体効果の結果(i)ドレインの破壊電位が低下する、(ii)単独トランジスタのラッチアップが起こり易くなる。

\*SOIを形成する操作は、標準のCMOSの製造方法に適し難く、高エネルギーの酸素イオンの注入を必要とし、これはシリコン結晶に損傷を与え、特に、SIMOX法では、エピタキシ・シリコン層への損傷、アモルファスシリコン層の再結晶を生起するので、結果得られる能動シリコン領域は結晶欠陥とそれによる性能の低下を招くという欠点がある。

【0007】 この発明は、従来のCMOSの製造工程を利用する簡単な方法で酸化物電界分離領域(FOX)の幅を小さくし能動領域の幅を拡大して、より高度な集積密度を可能にするMOSFETを提供しようとするものである。

## 【0008】

【課題を解決するための手段】 この発明によれば、ソースとドレインの領域が、ゲート電極に自己整合し且つシリコン単結晶基板中の浅い埋設位置にある酸化物絶縁層により抱持されて、該酸化物絶縁層の上にあり、チャネル領域は、その底部が前記シリコン基板に連続している構造を有するMOS形電界効果トランジスタが提供される。

【0009】 この発明においては、ソースとドレイン領域が酸化物絶縁層で抱持され基体から分離されている(図1を参照)。図1において、1はシリコン基板、2は酸化物電界分離領域(FOX)、4は薄い酸化物絶縁層、5はゲート電極、7は酸化物絶縁層、12はゲート酸化物絶縁層、16はソース、16'はドレイン、19は低濃度ドレイン、20は酸化膜である。

【0010】 この構造はSOIとバルク型MOSの両方の長所を有するもので、この新しい構造の特徴は次の通りである。ソース/ドレインPN接合の面積は、それらの領域を酸化物絶縁層により基板から分離することにより、減少する。この結果、

(i) 接合面からの漏れ電流が減少する。

(ii) 寄生的な接合容量が減少する。

(iii)  $\alpha$ 粒子に誘起される電荷の蓄積の減少と、その結果、ラジエーション・ハードネス (radiation hardness) が改良される。

【0011】この発明においては、チャンネル領域は、その底部が前記シリコン基板に連続している構造を有する。チャンネル領域は埋設酸化物絶縁膜が除かれる。チャンネル領域は埋設酸化物絶縁層とは関係なくなるので、埋設酸化物絶縁層の品質及び均一性に対する配慮が不要となる。またチャンネル領域は基板との接点が存在する。チャンネル領域は基板へ底部で接触する部分を有するので、SOI型MOSの“浮揚体効果”を排除し得る。簡単な生産手段を採用することができ、高エネルギー酸素注入の必要性が無く、シリコン・エピタキシ又は固相結晶再成長 (固相エピタキシ) の採用が可能である。

【0012】この発明のMOS形電界効果トランジスタは、例えば図4に示すように作製することができる。すなわち、酸化物電界分離領域 (FOX) と該FOXからソース16及びドレイン16'形成領域の間隔を置いてポリシリコン層5が形成された半導体基板1の上方から、ポリシリコン層5をマスクとして所定のエネルギーの酸素イオンを注入し、ソース16、ドレイン16'の形成領域下方の所定の深さに酸化物絶縁層7を形成する。この結果チャンネル領域下方は、ゲート電極のマスクによって酸化物絶縁層が形成されずチャンネル領域は基板1と連続するように形成される。この後、公知の方法によってMOSFETを作製する。

【0013】

【作用】酸化物絶縁層が、接合面からの漏れ電流を減らし酸化物電界分離領域 (FOX) の幅を小さくさせ動領域幅を拡大させることにより高度な集積密度にする。

【0014】

【実施例】この発明の実施例を図面を用いて説明する。まず図2aに示すようにシリコン基板1に酸化物電界分離領域 (FOX) 2、能動領域3は、公知のMOS形成技術によりつくられる。能動領域の上に、薄い酸化物絶縁層4を熱作用成長法か、或はCVD堆積法で約20~30nmの厚さにつくる。次に300~500nmの厚さのポリシリコン層5を堆積し、ゲート電極を規定するパターン・マスクを用いてフォトリソグラフィ法で、所定のパターンをつくる。この状態をマスクとして用い、酸素イオン6、6'の注入を実施する。その照射密度 (dose) は $\sim 10^{18}$ イオン/cm<sup>2</sup>で、エネルギーレベルは基体表面の下約0.1~0.2 $\mu$ mの埋設位置に、酸化物の層が出来るように選択する。SIMOX法の場合のように、このイオン注入は多くの欠陥を結晶中につくるので、この後、基板は高温 ( $\sim 1000^{\circ}\text{C}$ ) でアニールし、その時、図2(b)に示すようにソース/ドレインの為の能動領域の下にシリコン酸化物の層7を顕在化させる。

【0015】更に図2(b)に示すようにSiN層8を

CVD法で、ポリシリコン層5、と略同一高さになるように堆積し、更に、平坦化層9を堆積する。この層は、フォトレジスト又はスピン・オン・ガラス (Spin On Glass) でもよい。次に平坦化層9とSiN層8は異方性エッチング法で、但し、略同一の速さでエッチングを行い、エッチングをポリシリコン層5の頂面で止める (図2(c))。

【0016】次に図2(d)に示すようにポリシリコン層5はエッチング液 (例えば、 $\text{CH}_3\text{COOH} + \text{HNO}_3 + \text{HF}$ ) で除去し、MOSFETゲートと同一の大きさのウインド10をつくる。このウインドを通して、ボロンイオン11を照射密度 $10^{11} \sim 10^{12}$ ions/cm<sup>2</sup>で注入を行い、MOSFETとしてのしきい電圧値を決めるチャンネル領域のドーピング濃度を与える。

【0017】次にウインド10の中の薄い酸化物絶縁層4を除去し、図3(e)に示すようにゲート酸化物絶縁膜12を熱作用で成長し、MOSFETの電気的特性により決る厚さとする。例えば、0.5 $\mu$ mを最小チャンネル長さの場合には、ゲート酸化物 (SiO<sub>2</sub>) の厚さは10~13nmとする。次に図3(f)に示すように400~600nmの厚さのポリシリコン層13をLPCVD法でN<sup>+</sup>ドーピングで堆積する。次にポリシリコン層13を異方性エッチング法によって最終的なゲート電極14を形成する (図3(g))。

【0018】次に図3(h)に示すようにSiN層8は、エッチング液で除去し、MOSFETのソース16とドレイン16'領域は、公知の不純物イオン15のイオン注入法によりドーピングして形成される。次に図3(i)に示すように分離層17が堆積され、コンタクト穴がつけられ、金属層18が堆積され、デバイス間をつなぐパターンが、公知の方法でつくられる。

【0019】

【発明の効果】この発明における埋設酸化物絶縁層の形成は、同時に、酸化物電界分離領域 (FOX) の幅を小さくし得る、即ち、能動領域幅を拡大し、より高度な集積密度を可能にする。この発明の、酸素を浅く注入して (約0.2 $\mu$ m以下の深さ)、電界を酸化物上に作り分離することは、標準のCMOSの製作工程に適合する簡単な方法であるから、特別な基板を必要としない。この発明の構造を用いると、CMOSTランジスタの大きさを1/2マイクロメータ以下のチャンネル長さにすることが可能である。

【図面の簡単な説明】

【図1】この発明の実施例で作成したMOSFETの説明図である。

【図2】同じくMOSFETの製造工程の説明図である。

【図3】同じくMOSFETの製造工程の説明図である。

【図4】同じくMOSFETの製造工程の説明図であ

る。

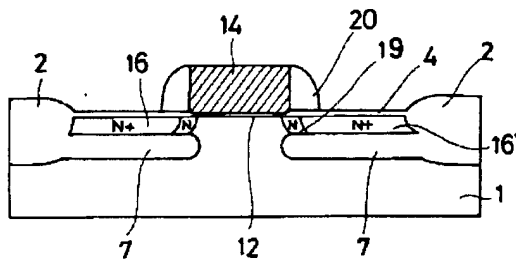
【図5】従来のMOSFETの説明図である。

【符号の説明】

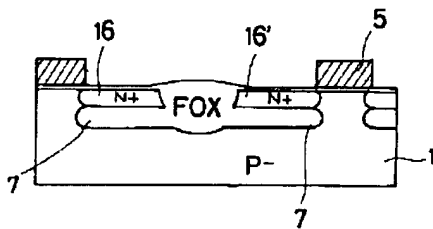
- 1 シリコン基板
- 2 酸化物電界分離領域 (FOX)
- 3 能動領域
- 4 薄い酸化物絶縁層
- 5 ポリシリコン層
- 6 酸素イオン
- 7 酸化物絶縁層
- 8 SiN層

- 9 平坦化層
- 10 ウインド
- 11 ボロンイオン
- 12 ゲート酸化物絶縁膜
- 13 ポリシリコン層
- 14 ゲート電極
- 15 不純物イオン
- 16 ソース
- 16' ドレイン
- 17 分離層
- 18 金属層

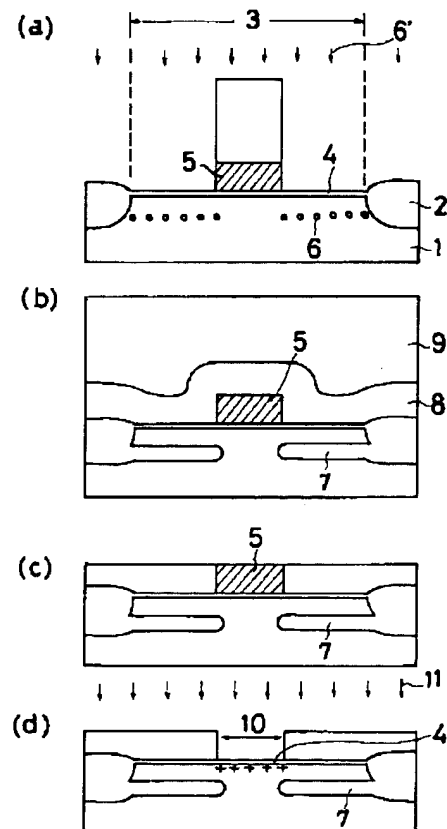
【図 1】



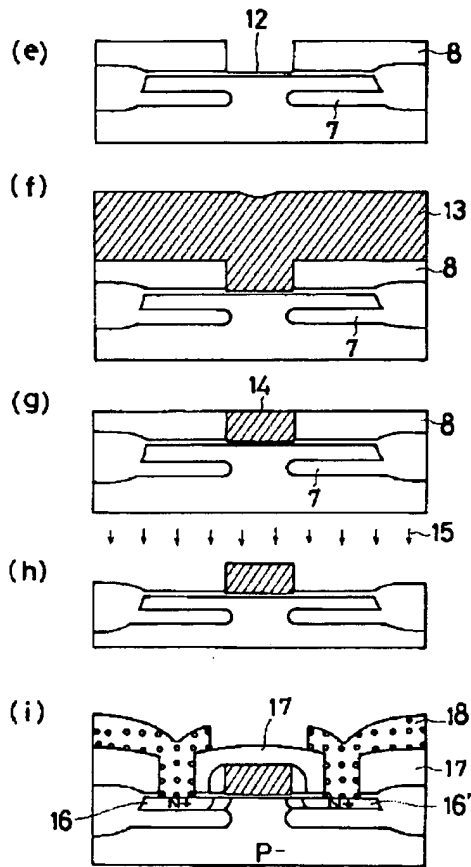
【図4】



【図 2】



【図3】



【図5】

